

⑫ 公表特許公報 (A)

平5-500894

⑬ Int. Cl.
H 03 L 7/197
H 03 M 3/00

識別記号

府内整理番号

8836-5J
9182-5J

H 03 L 7/18

審査請求 未請求
予備審査請求 未請求

部門(区分) 7 (3)

A

(全 11 頁)

⑬ 公表 平成 5 年(1993) 2 月 18 日

⑭ 特 願 平3-508847
⑮ ⑯ 出 願 平3(1991)4月22日

⑭ 翻訳文提出日 平3(1991)12月24日

⑮ 国際出願 PCT/US91/02742

⑯ 国際公開番号 WO91/17604

⑰ 国際公開日 平3(1991)11月14日

⑭ 発明の名称 多段蓄積器シグマデルタ分数Nの合成

優先権主張 ⑭ 1990年4月30日⑮米国(US)⑯ 516,993

⑭ 発明者 ヒエタラ・アレキサンダー・ダ
ブリュ
⑮ 発明者 ラベ・デュアン・シー
⑯ 出願人 モトローラ・インコーポレーテ
ツド
⑰ 代理人 弁理士 池内 義明
⑯ 指定国 A T(広域特許), A U, B E(広域特許), B R, C A, C H(広域特許), D E(広域特許), D K(広域特許), E S
(広域特許), F R(広域特許), G B(広域特許), G R(広域特許), I T(広域特許), J P, K R, L U(広域特許), N L(広域特許), S E(広域特許)

請求の範囲

1. 電圧制御発振器の出力信号周波数をループ分周器によって分割し、該ループ分周器は制御入力によって制御される可変除数を有しフィードバック信号を生成して基準信号と比較し、前記電圧制御発振器の周波数制御をする分数Nのシンセサイザであって、

第一の複数のビットとして表現される第一のデジタル数を受け入れるための手段、

シグマデルタ変調器手段を含み、前記第一のデジタル数の第一及び第二の積分値を計算しあつ結合するための手段、前記計算しあつ結合するための手段から最上位ビット(MSB)出力の予め決められた数を選択して前記ループ分周器の除数制御入力に結合するための手段、を具備する分数Nのシンセサイザ。

2. 更に、前記第一のデジタル数の少なくとも1ビットを時間的に変えることによって出力信号を変調するための手段を具備する請求の範囲第1項に記載の分数Nのシンセサイザ。

3. 更に、前記シグマデルタ変調器手段が少なくとも2個の蓄積器を具備する請求の範囲第1項に記載の分数Nのシンセサイザ。

4. 前記可変除数が、整数及び分母によって除算された分子の商の和によって表現される平均値を有し、前記可変

除数の分母が、該分母によって除算された基準信号周波数の商の周波数が出力信号におけるスプリアス信号を除去する分数Nのシンセサイザの高域通過特性の曲がり角の周波数よりもずっと低くなるように大きな値である、請求の範囲第3項に記載の分数Nのシンセサイザ。

5. 更に、前記少なくとも2個の蓄積器が更に、多数ビットとして表現される第二のデジタル数を受け入れるための手段を具備する、前記請求の範囲第3項に記載の分数Nのシンセサイザ。

6. 電圧制御発振器の出力信号周波数をループ分周器によって分割し、該ループ分周器は制御入力によって制御される可変除数を有しフィードバック信号を生成して基準信号と比較し、前記電圧制御発振器の周波数制御をする分数Nのシンセサイザであって、

第一の複数のビットとして表現される第一のデジタル数を受け入れるための手段、

前記第一のデジタル数と、第二の多数ビットを有する第二のデジタル数の最上位ビット(MSB)の予め決められた数の第一の積分を計算し、第三の多数ビットを具備する第三のデジタル数を作り出すための手段、

前記第三のデジタル数の最下位ビット(LSB)の予め決められた数の第二積分、及び前記第三のデジタル数の最上位ビット(MSB)の予め決められた数と前記第二のデジタル数の最上位ビット(MSB)の予め決められた数と

特表平5-500894 (2)

の合計を計算し、前記第二のデジタル数を生成するための手段、

前記第二のデジタル数の最上位ビット (M S B) の予め決められた数を選択し、少なくとも前記ループ分周器の除数制御入力へ結合するための手段、

を具備する分數Nのシンセサイザ。

7. 更に、前記第一のデジタル数の少なくとも1ビットを時間的に変えることによって出力信号を変調するための手段を具備する請求の範囲第6項に記載の分數Nのシンセサイザ。

8. 更に、前記第一の積分を計算するための手段及び前記第二の積分を計算するための手段の内の少なくとも一つの内部の内容から前記デジタル数を減じるための手段を含む残留量子化雑音修正信号を発生するための手段を具備する前記請求の範囲第6項に記載の分數Nのシンセサイザ。

9. 可変除数が、整数と分母によって除算される分子の商との和によって表現される平均値を有し、かつ該分母によって除算される基準信号周波数の商の周波数が、出力信号におけるスプリアス信号を除去する分數Nのシンセサイザの高域通過特性の曲がり角の周波数よりもずっと低くなるように、前記可変除数の分母が大きな値である、請求の範囲第6項に記載の分數Nのシンセサイザ。

10. 分數Nのシンセサイザを用いて電圧制御発振器の出力信号から引き出される動作周波数信号を発生し、該分

で、

前記第1の複数のビットとして表現される第1のデジタル数を受け入れるための段階、

前記第1のデジタル数と、第2の多数ビットを有する第二のデジタル数の最上位ビット (M S B) の予め決められた数の第一の積分を計算し、第三の多数ビットを具備する第三のデジタル数を作り出すための段階、

前記第三のデジタル数の最下位ビット (L S B) の予め決められた数の第二積分、及び前記第三のデジタル数の最上位ビット (M S B) の予め決められた数と前記第二のデジタル数の最上位ビット (M S B) の予め決められた数との合計を計算し、前記第二のデジタル数を生成するための段階、

前記第二のデジタル数の最上位ビット (M S B) の予め決められた数を選択し、少なくとも前記ループ分周器の除数制御入力へ結合するための段階、

を具備する方法。

13. 更に、前記第一のデジタル数の少なくとも1ビットを時間的に変えることによって該出力信号を変調するという段階を具備する請求の範囲第12項に記載の方法。

14. 残留量子化雑音の修正信号を発生するという段階を更に具備する請求の範囲第12項に記載の方法。

15. 更に、可変除数が、整数と分母によって除算される分子の商の和によって表現される平均値を有するように、

数Nのシンセサイザは電圧制御発振器の出力信号周波数をループ分周器によって分割し、該ループ分周器は、制御入力によって制御される可変除数を有してフィードバック信号を発生し、基準信号と比較して電圧制御発振器の周波数制御をする無線送受信機であって、

動作周波数信号を送信するための手段、

前記動作周波数信号を一部分決めるために第一の複数のビットとして表現される第一のデジタル数を受け入れるための手段、

シグマデルタ変調器手段を含み、前記第一のデジタル数の第一及び第二の積分を計算しつつ合わせるための手段、

前記ループ分周器の除数制御入力へ結合するために前記計算しつつ合わせるための手段から最上位ビット (M S B) 出力の予め決められた数を選択するための手段、

を具備する無線送受信機。

11. 更に、前記第一のデジタル数の少なくとも1ビットを時間的に変えることによって動作周波数信号を変調するための手段を具備する請求の範囲第10項に記載の無線送受信機。

12. 電圧制御発振器の出力信号周波数をループ分周器によって分割し、該ループ分周器は制御入力によって制御される可変除数を有し、フィードバック信号を生成して基準信号と比較し、前記電圧制御発振器の周波数制御をする分數Nのシンセサイザを用いた信号シンセシス方法であつ

可変除数を発生するという段階を具備する請求の範囲第12項に記載の方法。

16. 更に、前記可変除数の分母によって前記基準信号周波数を分割し、前記分母は、分數Nのシンセサイザの高域通過特性の曲がり角の周波数よりも商の周波数の高さがずっと低くなるように大きな値を有して出力信号におけるスプリアス信号を除去する段階、

前記第一の積分を計算する段階及び前記第二の積分を計算するための段階の少なくとも一つにおいて多数ビットとして表現される第二のデジタル数の少なくとも1ビットのために予め決められた状態を選択することによって、多数の分子の値のために前記分母を維持する段階、

を具備する請求の範囲第15項に記載の方法。

明細書

多段蓄積器シグマデルタ分数Nの合成

発明の背景

本発明は一般的には周波数シンセサイザに関し、より特定期には無線周波数の送受信機による使用のための複数の信号の内の一つを発生するために無線電話通信装置に使用することができる統一に接続したシグマデルタ変調器型の蓄積器（アキュムレータ）を具備する分数Nの周波数シンセサイザに関する。

位相ロックループ（PLL）周波数合成は、周波数可変電圧制御発振器（VCO）から多くの関係した信号の内の一つを発生するための良く知られた技術である。単一ループPLLにおいて、VCOからの出力信号は、周波数分割された信号を位相検出器に提供するために選択された整数の数字によって分割するプログラム可能な周波数分割器に結合される。位相検出器は周波数分割された信号を、時間経過及び環境変化に対する周波数の安定のためにしばしば選択されるもう一つの決められた周波数発振器からの基準信号と比較する。周波数分割された信号と基準信号の間のいかなる位相差もループフィルタを通して結合される位相検出器からの出力であり、かつ前記位相差はVCOからの出力信号を、周波数分割された信号と基準信号の間の位相

誤差が最小になるように周波数を変化させるやり方でVCOに印加される。プログラム可能な分割器は整数のみで分割するので、出力周波数の段階幅は基準信号周波数に等しくなるように抑制される。

単一ループPLLについては、ループロック時間、出力周波数の段階幅、雜音特性、そしてスプリアス信号発生という相反する要求の間において技術上の妥協をしてはいけない。

単一ループPLLの制限を克服するために、整数以外の数字で有効に分割することができるプログラム可能な周波数分割器が開発された。基準信号周波数の分数である出力周波数の段階幅は得られるが、それは高い基準周波数かつ広いループ帯域を維持している。分数Nの合成についての議論は、米国特許第4,816,774号に見いだすことができる。そこで述べられるように2個の蓄積器が、切り替わりに伴って発生するスプリアス信号を具備しないで除数の異なる整数値の間で切り替えるという分数合成の性能を模擬するために使用される。2個の蓄積器の技術は、除去及びループフィルタ除去によって欲しくないスプリアス信号を低減するために働く。

分数Nの周波数シンセサイザのための基準信号周波数は、それゆえにVCO出力周波数の段階幅にプログラム可能な分割器の除数の分母を掛けることによって決められる。分数Nの合成は、実際のチャンネル間隔よりもずっと高い基

準周波数の使用を許し、かつ低周波スプリアス出力の低減のおかげでより広くなった帯域を使用するための設計を許す。帯域を広くすると、ロック時間が早くなり、基準入力または分数の除算式に印加される広帯域変調が可能となる。

強念ながら本システムは完全ではなくて、チャンネル間隔と等しい周波数においてスプリアス信号出力を発生する。望まれる信号出力の純粋さは、分数でないシステムよりも良いが、しかしそれ自身では高品質のシステムにとって今なお不十分であるかもしれない。

前記スプリアス出力の影響を最小にするために、そのスプリアス信号を、その周波数において遮断することが高価でなくかつ簡単である周波数に広げる2個の蓄積器の分数Nの合成システムが開発された。2個よりも多くの蓄積器を具備するシステムを使用することによって、この恩恵は更にずっと広げることができる。

1個の蓄積器の分数Nのシステムの基本構成は第1図のブロック図に示される。VCO101は、典型的には位相検出器（φ）105への出力を有する完全にプログラム可能な周波数分割器103に結合される出力信号を発生する。制御入力は粗いチャンネル設定と除算の分数部分を提供するデジタル網の出力との和である。位相検出器105は、通常、ループフィルタ109に、次にVCO出力信号を位相ロックするためにVCO101に印加される信号を生成するために、分割された周波数fVの位相を基準発振器1

07から出力される基準信号の周波数f1の位相と比較する。

可変周波数分割器103の除算値の選択は、米国特許第4,768,802号にてZ変換等価で述べられるよう以前に知られた実現では通常の加算器113、（比較器115への入力がある与えられた数値を越える時に“キャリーアウト”信号を生成する）比較器115、そして（もしもキャリーアウトが起きるならば）加算器113にデジタル数字表現を印加する前に加算器113と比較器115から出力されるデジタル数値表現から分母を減ずるフィードバック論理117を具備するデジタル網111によって実行される。第二のデジタル数値表現は、分数Nのシンセサイザでは時間に関するオフセット位相（オフセット周波数）の第一の微分とデジタル的に等価な数値であり、それはデジタル網111のもう一つの入力に印加される。デジタル網111の全体効果は微分の位相を積分すること、及びPLLに対して位相オフセットと一次の等価である制御信号を（キャリーアウトのデジタル信号の形式で）印加することである。加算器113は、基準周波数信号f1の発生毎に $d\theta/dt$ （分母）を具備する加算器113の過去の内容を合計する。米国特許第4,816,774号に述べられるように、加算器113の出力は数字（周波数分割器103の除算がNと【分子/分母】の和として表される時に、除算の望まれる分数の部分の分母）と比較される。加算器

特表平5-500894 (4)

113の内容が分母を越えるならば、キャリー出力は真(true)にセットされ、かつ加算器の内容は次の基準パルスが起きた前にフィードバック論理117において分母によって減される。

一例として分母が13で、かつ分子が1であると仮定する。毎回13番目の基準パルスの度に加算器113は分母を越え、かつ一つの基準信号f1パルスのために周波数分割器103の除数を1増やすであろうキャリー出力を発生する。これはVCO101出力信号から一つのパルスを取り除き、かくして蓄積されていた位相誤差を360度だけ減らす。これは正規の除算の数字に追加された1/13除算に相当する。

第2図のZ変換図に示されるのは、米国特許第4,758,802号にて明らかにされた内容と一致する1個の蓄積器システムのZ変換等価デジタル網111である。前記単一蓄積器システムのためのZ変換等式は、

$$DO = (1/z) DI + Q (1 - 1/z)$$

Z変換加算器201は、分子（もしオーバーフローが起きたならば分母を減じて）と及び $1/z$ （遅延）ブロック203、205によって表されるそれ以前の加算器の内容から供給される。比較することは、207で付加された量子化誤差Qを具備するデジタルスライサであると考えられる。

る。).

Mag. (出力データ/入力データ)

$$= 1 / (5 - 4 \cos(Pi + v))^{1/2}$$

$$Mag. (出力データ/Q) = ((2 - 2 \cos(Pi + v)) / (5 - 4 \cos(Pi + v)))^{1/2}$$

かくして加算器201へのデータはわずかに低域通過フィルタにかけられ、かつデジタル網111'によって導入される量子化雜音は高域通過フィルタにかけられる。量子化雜音を高域通過フィルタにかけることは、スブリアスが高域通過の角よりもずっと低い周波数で起きるならば、送受信機のチャンネルとチャンネル間の周波数間隔の周波数において起きるスブリアス信号を低減する効果を有する。高域通過の角よりもずっと低い周波数に低域通過の角の周波数を具備するPLL応答を選択することによって、ほとんど全ての雜音を除去することが可能である。単一の蓄積器システムでは、高域通過のロールオフは20db/decadeである。かくして基準周波数は、十分な雜音抑圧が得られるべきであるならば、高域通過の角を高い周波数に押し上げるために高くなければならない。（さもなければP少しの低域通過は非常に低い周波数でなければならなく、かくして広帯域の恩恵を失なってしまう。）

基本的な分數の構造を高域通過フィルタにかけることを改善するために、2個の蓄積器を使用するシステムのため

加算器207からの出力は加算器201にフィードバックされるデジタル数字であり、かつキャリーアウト信号は上記出力信号とされる。しかしながら、Z変換解析のために出力とフィードバック信号の間でいかなる違いも必要ではない。

B点において次のように等式を書くことができる。

$$B(z) = B(z) 1/z + A(z) \quad \text{または}$$

$$B(z) = A(z) / (1 - 1/z)$$

$$\text{但し} \quad \text{出力データ} = B(z) + Q \quad \text{かつ}$$

$$A(z) = \text{入力データ} - B(z) - Q$$

これを代入してB(z)を求めると、

$$B(z) = \text{入力データ} / (2 - 1/z)$$

$$- Q / (2 - 1/z)$$

そして出力データを求めると、

$$\text{出力データ} = \text{入力データ} / (2 - 1/z)$$

$$+ Q (1 - 1/z) / (2 - 1/z)$$

前記等式はここで周波数領域に変換することができる（但し“v”は折り畳み周波数に正規化された周波数であ

る。）。

に分數Nの合成を使用することが知られている。2個の蓄積器を使う分數Nのシンセサイザは、米国特許第4,204,174号に開示されている。また一例は第1図の単一デジタル網111を書き換える第3図のブロック図に示される。

2個の蓄積器システムにおいて、第一の蓄積器301の内容は第二の蓄積器303へのデータ入力になる。第二の蓄積器303は、第一の蓄積器の誤差Q1に加えてそれ自身のZ変換量子化誤差Q2を有する。しかしながら前記誤差の両方共、単一の蓄積器の場合からは低減される。第二の蓄積器303からのキャリー出力は、デジタル論理素子305に印加され、そして論理素子305によって生じる幾分の後で、周波数分割器103に印加されるべき有効なキャリーアウト信号を生成するために信号加算器307において第一の蓄積器301のキャリー出力に印加される。かくして2個の蓄積器によって生成される効果は、蓄積器301のキャリー出力の1次位相オフセットと、有効なキャリーアウト信号のために蓄積器303の微分されたキャリー出力の2次位相オフセットを加えることである。

前記2個の蓄積器のリップルシステムのZ変換モデルが第4図のブロック図に示される。DO1は第一の蓄積器のデータ出力である。前記計算から、

$$DO1 = \text{出力データ} = \text{入力データ} / (2 - 1/z)$$

$$+ Q_1 (1 - 1/z) / (2 - 1/z)$$

D₁2 は、(第二の蓄積器の入力となる) 第一の蓄積器の蓄積器内容である。

$$D_{12} = (入力データ - D_01) / (1 - 1/z)$$

D₀2 に対する上記と同様な等式は、

$$D_{02} = D_{12} / (2 - 1/z) + Q_2 (1 - 1/z) / (2 - 1/z)$$

D₁2 のための表現を代入し、次に D₀1 のための表現を代入すると、

$$D_{02} = \text{入力データ} / ((2 - 1/z) (1 - 1/z)) + Q_2 (1 - 1/z) / (2 - 1/z) - \text{入力データ} / ((2 - 1/z)^2 (1 - 1/z)) - Q_1 / (2 - 1/z)^2$$

但し、D₀₃ = D₀₂ (1 - 1/z) かつ

$$\text{出力データ} = D_01 + D_03$$

かくして代数を解くと、

蓄積器の個数は理論的にはいかなる望まれる台数までも増やすことができる。その結果、量子化雑音に対する高域通過特性の応答は、蓄積器の個数を 20 dB/decade 倍したものになる。蓄積器(複数)は米国特許第 4,609,881 号に明らかにされるような「パスカルの三角法」として知られているものに「再結合」される。一般的に高次の蓄積器は (1 - 1/z) の (n-1) 乗と再結合される。

1985年3月発行の IEEE "Transactions on Communications" Vol. Com. 33 No. 3 の 249 頁から 258 頁に記載の James C. Candy により開示された論文「シグマデルタ変調における二重積分の使用」において、シグマデルタ変調器として知られている機能がアナログデジタル (A/D) 変換器における有効な積分機能であると示された。シグマデルタ変調器は今では多くの近代的な A/D 変換器の基礎を形成している。前記シグマデルタ変調器のほとんどは、第 5 図のブロック図に図示されるようなアナログシステムとして実現される積分器について 1 次または 2 次である。このシステムの出力は典型的には、アナログ入力レベルに対応して望まれるデジタル出力に到達するためにデジタルフィルタを通過する。デジタル数字全体が出力されかつフィードバックされ、かくして開示された A/D 変換器シグマデルタ変調器を分数 N のシンセサ

特表平5-500894 (5)

$$\text{出力データ} = \text{入力データ} ((3 - 2 \cdot 1/z) / (2 - 1/z)^2) + Q_1 ((1 - 1/z)^2 / (2 - 1/z)) + Q_2 ((1 - 1/z)^2 / (2 - 1/z))$$

前記表現は次に周波数領域に変換されて(繰り返すが、「v」は折り疊み周波数に正規化された周波数である)、

$$\text{Mag.} (\text{出力データ} / \text{入力データ}) = (13 - 12 \cos (P I + v))^{1/2} / (5 - 4 \cos (P I + v))$$

$$\text{Mag.} (\text{出力データ} / Q_1) = (2 - 2 \cos (P I + v)) / (5 - 4 \cos (P I + v))$$

$$\text{Mag.} (\text{出力データ} / Q_2) = (2 - 2 \cos (P I + v)) / (5 - 4 \cos (P I + v))^{1/2}$$

この場合、高域通過の角は 1 個の蓄積器の場合と大体同じ周波数に発生するが、しかし量子化雑音に対する高域通過特性の周波数応答は 40 dB/decade である。このことは PLL に、望まれる雑音抑制を今なお維持しながら 1 個の蓄積器の場合よりも広い帯域を持たせる、つまり分数のシステムがより低い周波数において作動することを許す。

イザにとって適切でないものになることに気をつけるべきである。

しかしながら、前記シグマデルタ変調器が(第 6 図に示されるような) 標本化されたデータ実現法でモデル化されるとするならば、その結果 Z 変換等式は次のようになる。

$$D_0 = (1/z) D_1 + Q (1 - 1/z)$$

この等式はデータ出力が 1 クロック期間プラス雑音について作動する 1 次の高域通過デジタルフィルタを具備する雑音期間、遅延したデータであることを示す。本等式は分数 N の合成のための単一蓄積器の等式と著しく似ていて、かつ第 6 図に示されるような Z 変換図になる。

Candy はまた第 7 図に示されるような Z 変換図を有し、 $D_0 = (1/z) D_1 + Q (1 - 1/z)^2$ という伝送機能を有する 2 次のシグマデルタ変調器型 A/D 変換器を開示している。この 2 次の実現はまた、全部のデジタル数字が出力されかつフィードバックされるので、分数 N の合成のためには適切ではない。

発明の概要

従って、本発明の 1 つの目的は、シグマデルタ変調器機能を分数 N のシンセサイザにおいて有利に使用することである。

本発明のもう1つの目的は周波数オフセットの小さな増加分を分数Nのシンセサイザに導入することである。

上述の目的及び他の目的は、第一の複数のビットとして現れるデジタル数を受け入れるデジタル網を包含する本発明の分数Nのシンセサイザにおいて実現される。上記デジタル数として第一及び第二の積分値が計算されて結合され、また、出力の上位ビット (M S B) の内の予め決められた数字が選択され、ループ分周器の除数制御入力に結合される。

図面の簡単な説明

第1図は1次の分数Nのシンセサイザのブロック図である。

第2図は第1図のデジタル網に等価なZ変換図である。

第3図は2次の分数Nのシンセサイザのブロック図である。

第4図は第3図のデジタル網に等価なZ変換図である。

第5図はD/A変換器において有効である通常の1次のシグマデルタ変調器のブロック図である。

第6図は第5図に等価なZ変換図である。

第7図はD/A変換器において有効な2次のシグマデルタ変調器のためのZ変換図である。

第8図は本発明を使用することができる無線送受信機のブロック図である。

第9図は第8図の送受信機用の分数Nのシンセサイザのブロック図であって、本発明を使用するものである。

第10図は第9図のシンセサイザ用デジタル網のブロック図であって、本発明を使用するものである。

第11図は第10図のデジタル網のための2次のリップル蓄積器のZ変換図である。

第12図は第9図のシンセサイザにおいて使用することができるデジタル網のための2次のラッチされた蓄積器のZ変換図である。

好ましい実施例の詳細な説明

本発明は、多段蓄積器（マルチアキュムレータ）シグマデルタ分数Nのシンセサイザについてである。ある独自のシグマデルタ構成におけるリップルまたはラッチされた分数Nの分周器制御回路を配置することによって、標準の分数Nシンセサイザの性能上の利点を実現することが可能である。

デジタル無線電話システムにおいて有効であるようなデジタル無線送受信機は、本発明を有利に使用することができる。GSM汎ヨーロッパデジタル無線電話システムは周波数の急劇な変化ができる無線装置を必要とし、デジタルデータ及びデジタル化された音声の送信のためにB T = 0.3を具備するGMSK変調を使用する。典型的にはI-Q変調器が、無線システム上でデジタルデータを送信するた

めに使用してきた。そのような構成において、デジタルデータは、対照表（ルックアップテーブル）において形成された適切に形成されたIパルスとQパルスに変換される。次に、IチャンネルとQチャンネルはオフセット周波数に変換するために一組の直交駆動のミキサを通過する。2個のミキサの出力は次にオフセット出力周波数で混成のGMSK被変調信号を形成するために結合される。次に、このオフセット出力周波数は次に望まれる送信器出力周波数に混合される。

急劇な周波数変化、変調、そして低スプリアス信号及び雜音レベルを達成するために、変調された多段蓄積器（マルチアキュムレータ）シグマデルタ 分数Nシンセサイザが本発明では使用される。変調に対して、シンセサイザは送信されるべきデータストリームを分数Nのシンセサイザのための周波数オフセットに変換するために対照表（ルックアップテーブル）を使用する。シンセサイザのループ分周は、GMSK被変調信号のために要求される瞬間的な周波数オフセットに従うために入力データストリームに従って調整される。この調整はオフセット周波数かまたは直接に主要な周波数で行える。

分数Nのシンセサイザ構成は、スプリアス信号を除去し、離散スプリアス信号を低減するためにD/Aの補正を発生し、かつPLLに対して直接のデジタル変調を発生するために、大きな蓄積器（複数）上で作動する。リップルかま

たはラッチされたかのいずれかの蓄積器も、発明の範囲に影響せずに本発明において使用することができる。

本発明を使用することができる送受信機は第8図のブロック図に示される。基準発振器801は、時間の経過や環境の過酷さに対して比較的一定の周波数を維持し、周波数シンセサイザ803に印加される基準信号 f_0 を発生する。シンセサイザの出力は、局部発振器と変調された送信信号をそれぞれ生成するために、受信機805と送信機807の両方によって使用される。動作周波数のチャンネルのよ

うな送受信機のコントロールオーバ機能は、制御論理809の機能によって提供される。

好ましい実施例におけるシンセサイザ803は、第9図に示される一般的な構成を有する分数Nのシンセサイザを具備する。本発明によれば、デジタル網900は分数Nのシンセサイザのための変形多次元シグマデルタ変調器の形式で作動する。従来のZ変換等式は同じ形式であることが示されていたので、シグマデルタ変調器の出力の内の選択された部分が、ここではPLLシンセサイザ内に含まれる多係数の（または連続してプログラム可能な）プリスケーラの制御を駆動するために特に使用される。これはその結果、分子はデータ入力 (DATA IN) として入力される数字で、かつ分母は量子化器が比較する数字である分数Nのシンセサイザになる。

今、第10図を参照すると、大きな数 (3, 000, 0

特表平5-500894 (7)

00) に等しい加算器長 D を有する 2 次 (2 個の蓄積器) リップルのシグマデルタ変調器のためのブロック図が示される。第一の蓄積器 1001 は、27 ビット加算器 1003 に対する 4 ビットの最下位ビット (LSB) として送受信機の制御論理 809 から 24 ビット入力を受け入れ、かつ 3 ビットのフィードバックビットは 3 ビットの最上位ビット (MSB) として入力する。加算器 1003 (27 ビット長) からの出力はデータラッチ 1007 に入力する。この構成は、デジタル網内の比較のみがその出力において行われ、中間段階においては行われないという点で、分数 N の合成のために従来使用された構成、例えばパスカルの三角形再結合を使用する構成とは違っている。

データラッチ 1007 からの出力は、蓄積器が入力の分子の数字の積分を発生することを可能にするために加算器 1003 に結合される。また、加算器 1003 からの出力は 3 ビットの MSB と 24 ビットの LSB に分割され、該 24 ビットの LSB は第 2 の蓄積器 1011 の加算器 1009 に結合される。3 ビットの MSB は 3 ビット加算器 1013 においてフィードバック 3 ビット MSB に加算され、この加算結果は加算器 1009 に供給される。第二の蓄積器 1011 からの積分された 7 ビット出力は、加算器 1009 の合計が -2D よりも小さいか、-D よりも小さいか、+D よりも大きいか、または +2D よりも大きいかのいずれであるかを考慮することによって記号付きの 3 ビット出

力を創り出す 27 ビットの加算器 (フィードバック論理) 1017 に結合される。フィードバック論理 1017 からの 3 ビットの MSB 出力のみがキャリーアウトとして周波数分割器 103 に結合されることに気が付くことは重要である。3 ビットの MSB はまた、フィードバック論理 1017 から第一の蓄積器 1001 及び 3 ビット加算器 1013 にフィードバックされる。かくして第 7 図に図示されるような Z 変換モデルを有する 2 次の変形シグマデルタ変調器は、分數 N のシンセサイザにおいてデジタル網として使用される (2 個よりも多い蓄積器を本発明の範囲に影響を与えることなしに使用することができるけれども)。シンセサイザの起こるべき適切な動作のために、シグマデルタ変調器のキャリーアウト項のみが本発明において使用される。

安定度を維持するために、ループ分周器に対するキャリーアウトブット及び量子化の発生における蓄積器からの除去は標準の分數 N とは異なる。この場合、蓄積器の内部内容は $-(L+1) * D$ と $+(L+1) * D$ の間の範囲に位置し、但し L は蓄積器の個数であり、D は分母である。最後の蓄積器の出力が量子化器の値と等しいか、またはそれよりも大きいならば、キャリーが起きる。この出力が量子化器の値の 2 倍よりも大きいならば、キャリーは 2 倍になるか、または分割器を 2 個増やす。これは蓄積器の最高次を通じて繰り返す。このプロセスは、蓄積器が量子化器制

限の負数よりも小さいか、またはそれに等しいならば、逆方向で起きててもよい。(また、蓄積器へのフィードバックはキャリー数に量子化器制限を掛けたものである。) この最終結果は、シグマデルタ分數 N のシンセサイザがループ分周器のプログラム可能性において、2 (L+1) の蓄積器長の増加を具備する標準の分數 N と同じ範囲を要求することである。

第 10 図のデジタル網を使用するシグマデルタ分數 N のシンセサイザは、「リップル」様式で内部の蓄積器 1001 及び 1011 を作動する、すなわちいかなる新しいデータも 1 クロックサイクルで全ての蓄積器を回らなければなければならない。第 10 図のシグマデルタ分數 N のシンセサイザのデジタル網のための 2 次のリップル蓄積器の Z 変換図が第 11 図に示される。該蓄積器はまた、本発明の範囲から逸脱することなしに、ラッチされた蓄積器として作動してもよい。分數 N の合成のための 2 次のラッチされた蓄積器シグマデルタ変調器は、第 12 図の Z 変換図に示される。

分數 N のシンセサイザのもう一つ別の実施例において使用される N 次のラッチされたシグマデルタ変調器は、N 次パスカルの三角形の展開における第一項の大きさを掛けた出力を第一の蓄積器の加算入力にフィードバックし、かつ展開における第二項の大きさを掛けた出力を第二の蓄積器の加算入力にフィードバックする等々によって、N 次蓄積

器の加算入力が (N-1) 次の項の大きさを受け取るようになる。

ラッチされないシグマデルタ変調器に対しては上記のように、蓄積器の範囲は $+/- (L+1) * D$ であり、かつプログラム可能なループ分周器の除数範囲は標準の分數の除算と同じである。

(第 9 図に示されるような) 本発明の多段蓄積器シグマデルタ分數 N のシンセサイザのために、変調情報は分數 N のシンセサイザのデジタル網 900 に、送受信機の制御論理 809 からのチャンネル制御の分子 24 LSB の内の 16 LSB として印加される。GSM システムにおいてデータレートは 270.83333 kb であり、BT 積は 0.3 である。この結果、変調時に PLL を低速で通過しなければならない約 81 kHz の周波数になる。

GMSK 信号の実際の周波数オフセット成分は、10 Hz から約 70 kHz 迄の範囲に位置する。10 Hz よりも小さな段階を合成するために必要であるから、この範囲は蓄積器の長さを決定する。基準周波数 26 MHz を具備する GSM システムの好みの実施例においては、蓄積器長は 24 ビットであるが、それは最低でも少なくとも 22 ビットでなければならない。

明らかに、変調のおかげで望まれる瞬間的な周波数オフセットは、ループフィルタのカットオフよりも十分に下である。従って PLL は変調のために基本周波数にチャンネ

特表平5-500894 (8)

ル属性を付加するいずれのスプリアス信号をも減衰させない。しかしながら多段蓄積器システムによって本問題は克服される。

全てのスプリアス出力が、作用の高いレートで多くの蓄積器を使用する結合された効果が分数の過程の量子化雑音の大きな減衰に帰着する非常に低い周波数に移動するよう位相化（除算の分数部分の分母の値）を増加することは可能であり、かつ好ましい。かくして大きな分母は、生成されるスプリアス信号がループの高域通過特性の3デシベル曲がり角よりも十分に低くなるように基準発振器の周波数を有効に分割する。多くの蓄積器を使用することは、高域通過フィルタ作用の勾配を増加する。動作レートを増加することは、高域通過フィルタの曲がり角の周波数を高い周波数に移動する。

第9図に本発明の分数Nのシンセサイザのブロック図を再び参照すると、分数Nのデジタル網900の出力はプログラム可能な周波数分割器103の分周制御入力に供給される。デジタル網900が一基準期間の間に除算を1だけ増加する時に、VCO101の一つの出力パルスが周波数分割器103によって有効に取り除かれる。この作用はVCO101の出力周波数において2πラジアンの位相シフトに対応する。次に、該位相シフトは位相検出器105の入力における位相シフトが周波数分割器103の除数によって除算される2πラジアンとなるように周波数分割器1

03によって分周される。一般的にデジタル網900は、時間と共に変わる分周比を発生する。かくして一般的な場合において、位相検出器105に対する入力は次のように表現することができ、

$$(2\pi/sNL) \cdot c(n)$$

但し、NLは正規のループ分周比

$c(n)$ はオフセット周波数におけるデジタル順序則（シーケンス）のフーリエ成分であり、

$1/s$ は周波数を位相に変換するために導入される。

デジタル順序則のフーリエ成分は次のように計算され、

$$c(n) = \frac{1}{NL} \sum_{i=0}^{NL-1} \theta(i) [\cos(2\pi i/N) - j \sin(2\pi i/N)]$$

但し、Nは該順序則の一期間におけるポイントの合計の数であり、

$\theta(i)$ はデジタル順序則の時間波形

iは時間成分であり、

nは周波数成分である。

位相検出器105を通過した後で、この信号は次にループフィルタ109に入力する。ループフィルタ109の出力はVCO101の制御入力に供給する。VCO101の入力における制御する誤差電圧の大きさは次のように表現され、

$$Vc = (2\pi K\phi |c(n)| |F(\omega)|) / NL$$

但し、 $K\phi$ は位相検出器の変換利得であり、
 $|F(\omega)|$ はオフセット周波数におけるフィルタ応答の大きさである。

この制御電圧はVCO101に次のようにスプリアス成分を出力させる。

$$f_{spur}(t) = (2\pi K\phi K_f) / NL \cdot |F(\omega)| |c(n)| \cos(\omega_m t)$$

但し、 ω_m はデジタル順序則のスプリアス周波数成分であり、

K_f は可変発振器の変換利得である。

位相ロックループのフィードバック特性は、スプリアス成分が次のようになるように前記式を修正するであろう、

$$f_{spur}(t) = [(2\pi K\phi K_f) / NL \cdot |F(\omega)| |c(n)| \cos(\omega_m t)] / [1 + (K\phi K_f |F(\omega)|) / (\omega_m NL)]$$

小さなスプリアス成分のためには、スプリアスレベルはBが上記にて導き出された周波数に対応する位相である場合に、 $B/2$ と近似することができる。

$$B = \int f_{spur}(t) dt$$

スプリアスレベルはかくして次のように近似することができる。

$$B/2 = [2\pi K\phi K_f / (NL \omega_m) \cdot |F(\omega)| |c(n)|] / [1 + (K\phi K_f |F(\omega)|) / (\omega_m NL)]$$

低周波数に対しては $F(\omega) \rightarrow$ 無限大かつ $\omega_m \rightarrow 0$ かくして該スプリアスレベルは次のように近似することができる、

$$B/2 = 2\pi |c(n)|$$

かくして、全スプリアス成分が小さな値になるように、もしデジタル網900のフーリエ成分が作られるならば、位相ロックループの出力は小さなスプリアス値を含みもあるであろう。デジタル網900は量子化雑音に対して高域通過フィルタとして働く。非常に大きな敵対分數化を増加することによって、全てのスプリアス信号は分數順序発生器がスプリアスレベルを位相ロックループの雑音制限のレベルより低く減衰する周波数オフセットに位置する。位相ロックループ出力に渡した後に、該スプリアス信号は分數順序発生器により設定されたレベルを今なお維持する。

好みしい実施例では、位相検出器は基準発振器 1.07 によって供給された 2.6 MHz で作動し、かつ分数化は大きな数 (241 = 16, 777, 216) によって行われる。分数 N のスプリアス信号は、1.54972 ヘルツの高調波及び副高調波において生じる。該基準は非常に高い周波数にあるので、分数 N のデジタル網 9.00 の高域通過の曲がり角は約 6.5 MHz に生じる。分数化によって発生したスプリアス信号の減衰はそれゆえに非常に大きい。

デジタル網 900 の高域通過特性を使用してスブリニアス信号を除去することは、重要な有利な点を有する。第一に、チャンネル間隔が、低歪の変調のために最低要求される周波数段階よりもずっと小さい。第二に、除去される必要がある位相ロックループの雜音制限以上にいかなる離散したスブリニアス信号もないので、該ループ帯域が非常に広い。

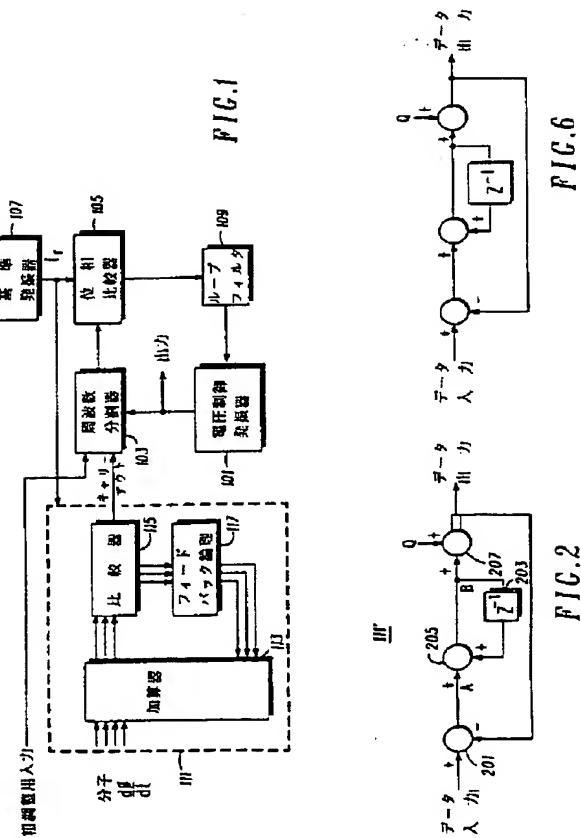
特表平5-500894 (9)

(26MHz である現基準におけるスプリアスを除く。) 好ましい実施例において、開放ループ単一利得周波数400kHz は GMSK 信号に対してピーク値で 5 度、かつ実効値 (RMS) で 3.5 度の位相誤差を生じる。該位相誤差はピーク値で 20 度、実効値で 5 度という GSM 仕様を与えられた納得のいく制限である。実効値 3.5 度は広いループ帯域によって決定されるという点で非常に信頼できる。

いくつかのチャンネルオフセットは分子と分母の共通因数になるという点で非常に高い分数のために設計されたシステムに関して問題が起き得る。該問題は、望まれる分数化よりもずっと小さい有効な分数化という結果になって、そして離散したスブリニアス信号が再び現れる。この状態は、蓄積器の下位ビット (LSB) をセットすることによって防ぐことができる。一例として、1 チャンネルが $1/4$ という分数のオフセットを要求する上記状態を考える。本状態は、6.5 MHz の高調波及び副高調波におけるスブリニアス出力という結果になる。もし LSB がセットされるならば、分数化はスブリニアス信号を 1 Hz の領域に戻す $4,194,305/16,777,216$ になる。この分数化は小さな周波数誤差になるが、大抵の場合この種の誤差は重要ではない。

高い分化を確実にする第二の方法は、最初に蓄積器をある数またはグループの数で設定（オフセット）して、そ

して次に望まれる周波数データを入力することである。この初期化設定は、2個以上の内部蓄積器を含む分数Nの蓄積器に、入力データのはとんどいかなる値のための全蓄積器長に対応するスプリアスパタンを発生させる。多段蓄積器システムでは、一番下のビット（ボトムビット）の初期化オフセットは、オフセットデータ上に乗せられた本質的にランダムなパタンという結果になる。初期化オフセットは一度データがシステムに供給されると除去されるので、この方法は決して周波数誤差を生じない。但し、1個の蓄積器のシステムでは波形が、初期化オフセットに関係なく同じ波形に戻る簡単な锯歯状波に対応するので、この方法は1個の蓄積器のシステムのためには決して働かないことに注意する。多くの蓄積器のシステムの場合、このオフセットは、非常に長い時間順序を形成するために、デジタル網1.1.1において除去される低周波のスペクトル成分と相互に作用する大多数のパターンを作る。



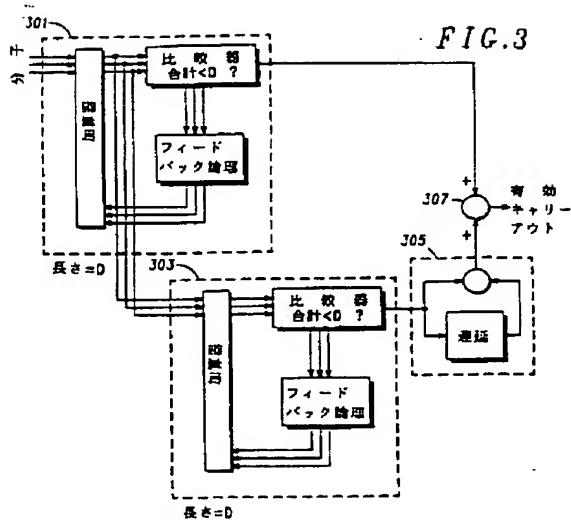


FIG.3

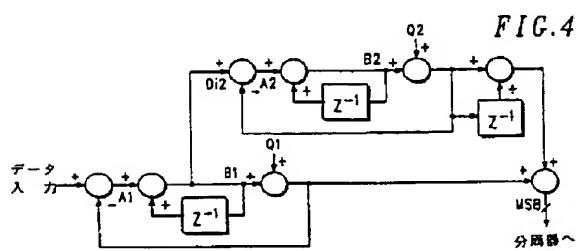


FIG.4

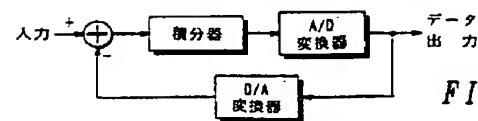


FIG.5

FIG.7

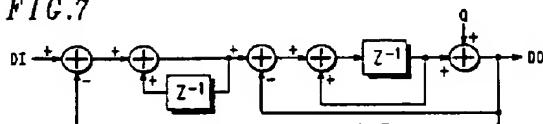


FIG.8

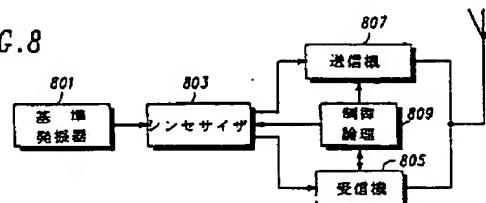
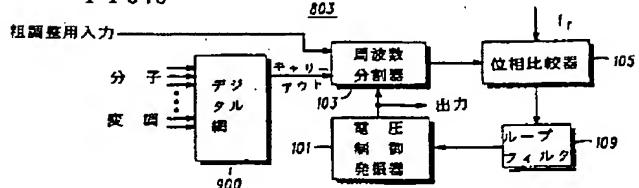


FIG.9



要 約 容

少なくとも2次のシグマデルタ変調器を用いた分數Nのシンセサイザを開示する。シグマデルタ変調器の出力番號器(1011)からの上位ビットをループ分周器(103)の可変除数のためのキャリーアウト制御として用いる。シンセサイザへの変調はシグマデルタ変調器への入力デジタル数の一部として導入され、スプリアス信号出力はループ分周器の除数の分母として大きな数を選択することによって実現される。

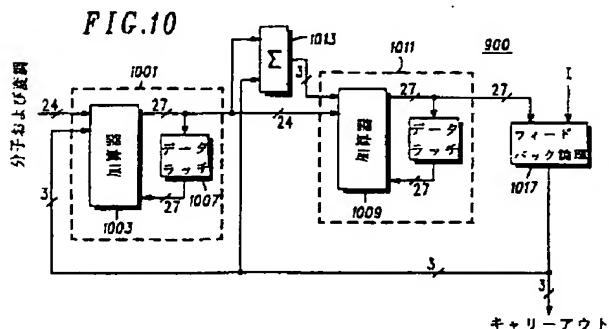


FIG.11

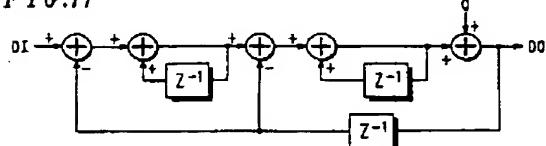
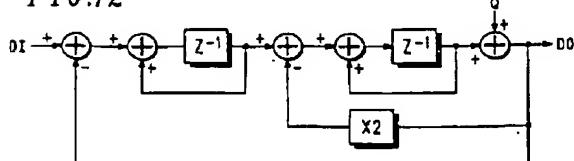


FIG.12



国際調査報告

International Application No. PCT/US91/02742								
I. CLASSIFICATION OF SUBJECT MATTER (International Patent Classification Number, if any, and IPC(5); HO3L 7/18 US Cl.: 331/16,25; 332/127; 455/76,319								
II. FIELDS SEARCHED								
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2" style="text-align: center;">Minimum Documentation Searched</th> </tr> <tr> <th style="text-align: center;">Classification System</th> <th style="text-align: center;">Classification Number</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">U.S.</td> <td style="text-align: center;">331/1A,16,25; 332/127; 455/42,76,119</td> </tr> </tbody> </table>			Minimum Documentation Searched		Classification System	Classification Number	U.S.	331/1A,16,25; 332/127; 455/42,76,119
Minimum Documentation Searched								
Classification System	Classification Number							
U.S.	331/1A,16,25; 332/127; 455/42,76,119							
Documents Searched other than Minimum Documentation (See the Form for each Document are included in the Fields Searched)								
III. DOCUMENTS CONSIDERED TO BE RELEVANT								
Category	Classification of Document, with indication, where appropriate, of the relevant patentee(s) or inventor(s)	Reference to Claim(s) Cited						
A	US, A; 4,609,881 (WELLS) 02 SEPTEMBER 1985	1-16						
A,P	US, A; 4,965,531 (RILEY) 23 OCTOBER 1990	1-16						
<p>* Search categories of cited documents:</p> <p>"A" - documents dealing with the general scope of the art which in the opinion of the examiner are of interest in view of the application, but which do not contain the principle or novelty underlying the invention.</p> <p>"P" - documents not published on or after the international filing date which, may (now) relate to a specific claim(s) or which is used to establish the publication date of another document.</p> <p>"D" - documents which, may (now) relate to a specific claim(s) or which is used to establish the publication date of another document.</p> <p>"I" - documents relating to an area of concern, i.e., standards or codes of practice, methods of testing, etc.</p> <p>"O" - documents which refer to the international filing date but have been published prior to the international filing date.</p> <p>"E" - documents which refer to the international filing date but have been published after the international filing date.</p> <p>"F" - other documents referred to in the International filing date or documents which are not in conflict with the application, but which are considered to be of interest.</p> <p>"G" - documents of reference which, in the opinion of the examiner, cannot be considered as relevant to the application, but which may be of interest.</p> <p>"H" - documents of reference; the claimed invention cannot be considered to derive an invention from such documents, but which are considered to be of interest.</p> <p>"J" - documents consisting of one or more pages copied.</p>								
IV. CERTIFICATION								
Date of the Actual Completion of the International Search		Date of Entry of this International Search Report						
04 JUNE 1991		02 JUL 1991						
International Searching Authority		International Examining Authority						
ISA/US		S. H. GRIMK						